

19



Europäisches Patentamt
European Patent Office
Office européen des brevets

11 Numéro de publication:

0 186 540
A1

12

DEMANDE DE BREVET EUROPEEN

21 Numéro de dépôt: 85402238.1

51 Int. Cl.⁴: G09G 3/20

22 Date de dépôt: 19.11.85

30 Priorité: 28.11.84 FR 8418110

43 Date de publication de la demande:
02.07.86 Bulletin 86/2784 Etats contractants désignés:
CH DE GB IT LI NL

71 Demandeur: L'Etat Français, représenté par le Mi-
nistre des P.T.T. (Centre National d'Etudes des
Télécommunications)
38-40 rue du Général Leclerc
F-92131 Issy-Les-Moulineaux(FR)

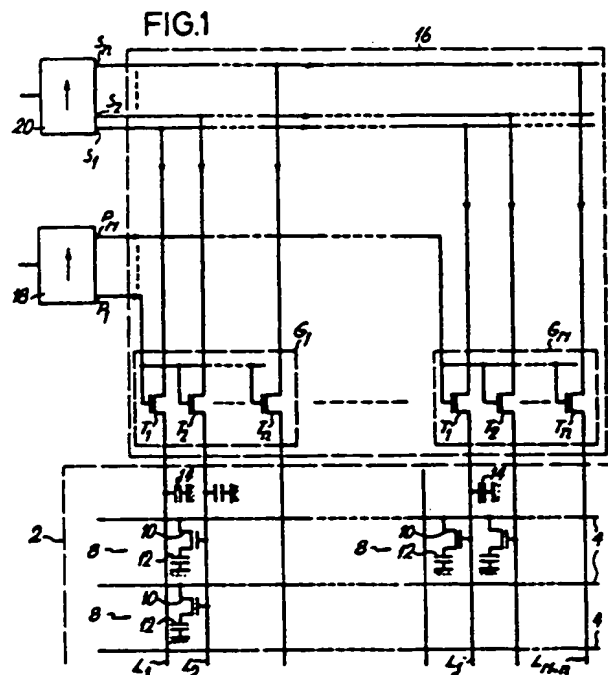
72 Inventeur: Morin, François
"La Grande Hale", Granchamps des Fontaines
44240 La Chapelle S/Erdre(FR)
Inventeur: Sergeant, Jacques
14 rue Saint Exupéry
F-29100 Douardenez(FR)
Inventeur: Delaplace, Stéphane
La Grand'hale
F-44240 La Chapelle en Erdre(FR)

74 Mandataire: Mongrédien, André et al
c/o BREVATOME 25, rue de Ponthieu
F-75008 Paris(FR)

54 Circuit électronique formé de transistors en couches minces pour commander un dispositif matriciel.

57 Circuit électronique formé de transistors en couches minces pour commander un dispositif matriciel.

Ce circuit comportant $N \times n$ sorties pour commander $N \times n$ lignes d'un dispositif matriciel se caractérise en ce qu'il comprend un circuit de multiplexage (16), formé de N groupes (G_1, \dots, G_N) de n transistors (T_1, \dots, T_n) successifs en couches minces, un premier registre à décalage (18) à N sorties (P_1, \dots, P_N) et un second registre à décalage (20) à n sorties (S_1, \dots, S_n). les grilles des n transistors (T_1, \dots, T_n) d'un même groupe (G_i) étant connectées à une même sortie (P_i) du premier registre, à chaque groupe (G_i) correspondant une sortie différente (P_i) dudit premier registre (18), la source de chaque transistor étant connectée à une ligne (L_j) ou à une colonne (4) différente, le drain du i ème transistor (T_i) de chaque groupe (G_i) étant connecté à la i ème sortie du deuxième registre (20), i étant un nombre entier tel que $1 \leq i \leq n$.



Circuit électronique formé de transistors en couches minces pour commander un dispositif matriciel

La présente invention a pour objet un circuit électronique formé de transistors en couches minces servant à commander un dispositif matriciel.

De façon plus précise, l'invention se rapporte à un circuit électronique du type registre à décalage servant à commander séquentiellement les lignes ou les colonnes d'un dispositif matriciel et en particulier les lignes ou les colonnes d'un dispositif d'affichage à cristaux liquides (écran plat à matrice active, écran pour tableau de bord,...), des rétines vidéo photosensibles à transistors en couches minces, des senseurs optiques ou des têtes de restitution pour système de télécopies comportant des lignes de photodiodes, des capteurs, etc...

Dans le type d'écran à matrice active, une mémoire électronique formée de points mémoire répartis sur toute la surface de l'écran, stocke le signal vidéo pendant toute la durée de l'image. Un transducteur électrooptique, notamment à cristal liquide, est en contact avec chaque point mémoire et est excité pendant toute la durée de l'image. Chaque point mémoire est situé au croisement d'une ligne et d'une colonne de connexion et il est constitué d'un transistor en couches minces réalisé sur un support isolant et d'un condensateur dont les armatures sont constituées, dans le cas où le transducteur est un cristal liquide, par les électrodes de la cellule à cristal liquide elle-même, le support isolant constituant l'une des deux parois de ladite cellule.

Les circuits électroniques du type registre à décalage envisagés pour commander une telle matrice active ont été étudiés selon la technologie TCM, mais leurs complexités rendaient la réalisation pratiquement irréalisable à grande échelle.

En effet, réaliser un registre à décalage avec des transistors en couches minces est très difficile surtout lorsqu'il doit comporter un très grand nombre d'étages (300 à 500 et même plus, selon le nombre de lignes ou de colonnes de l'écran plat); aucun défaut n'est toléré, sous peine de non fonctionnement de l'écran.

Chaque étage du registre à décalage comporte généralement deux inverseurs élémentaires et un condensateur servant à mémoriser l'information vidéo. De plus, chaque inverseur est formé d'au moins deux transistors en couches minces, disposés en cascade.

Etant donné que les transistors en couches minces de la matrice active sont généralement réalisés avec du silicium amorphe, ceux-ci présentent une faible transconductance et une forte capacité d'entrée, ce qui conduit à l'obtention d'une fréquence limite de fonctionnement des inverseurs relativement basse et la plupart du temps inférieure à la fréquence de balayage des lignes d'un écran plat de forte complexité (300 à 500 lignes).

Par ailleurs, le fonctionnement d'un tel registre à décalage est très dépendant de l'homogénéité des caractéristiques des transistors en couches minces d'où un rendement estimé relativement faible.

Il a été aussi envisagé de réaliser des registres à décalage du type à transfert de charge, tels que les Bucket-Brigade-Device (BBB) ou les Coupled-Charge-Device (CCD) en terminologie anglo-saxonne, moins gourmands en nombre de TCM, mais la densité de défauts dans le silicium amorphe a conduit à une inefficacité du transfert des charges.

C'est pourquoi, dans les écrans plats à matrice active actuels, les circuits de commande périphériques de ces écrans ne sont pas intégrés auxdits écrans, la commande de ces écrans étant totalement assurée par des circuits

intégrés standards externes à l'écran. Malheureusement, dans un tel système, il faut disposer un grand nombre de boîtiers sur un circuit imprimé connecté à l'écran plat, ce qui pose des problèmes de connexions complexes et délicats, ou bien reporter les circuits intégrés correspondants ou puces sur le support en verre lui-même, ce qui conduit à réaliser de multiples soudures.

Dans ces écrans plats à commande externe, le prix de revient de ces écrans est important en raison du coût des circuits de commande et du nombre de connexions à réaliser entre les écrans plats et les circuits correspondants, ou du nombre de soudures à réaliser sur le support de verre. On admet en général que l'ensemble des circuits intégrés périphériques, c'est-à-dire l'ensemble des circuits de commande des lignes et des circuits de commande des colonnes de l'écran plat représente la moitié et même plus du prix de revient total dudit écran.

La présente invention a justement pour objet un circuit électronique formé de transistors en couches minces servant à commander des dispositifs matriciels et notamment des écrans plats à matrice active permettant de remédier aux différents inconvénients cités ci-dessus.

Elle permet en particulier de simplifier la connexion des circuits intégrés périphériques avec la matrice active tout en minimisant le coût de ces circuits et donc le prix global des écrans plats par diminution du nombre de ces circuits périphériques.

En effet, l'invention a pour objet un circuit électronique, servant à commander les lignes ou les colonnes d'un dispositif matriciel, utilisant d'une part des circuits intégrés standards externes au dispositif pour assurer la fonction registre à décalage et d'autre part, des transistors en couches minces pour assurer la fonction de multiplexage.

De façon plus précise, l'invention a pour objet un circuit électronique de commande à $N \times n$ sorties servant à commander $N \times n$ lignes ou colonnes d'un dispositif matriciel, et notamment d'un dispositif d'affichage matriciel, caractérisé en ce qu'il comprend un circuit de multiplexage, formé de N groupes de n transistors successifs en couches minces, un premier registre à décalage à N sorties et un second registre à décalage à n sorties, les grilles des n transistors d'un même groupe étant connectées à une même sortie du premier registre, à chaque groupe correspondant une sortie différente dudit premier registre, la source de chaque transistor étant connectée à une ligne ou à une colonne différente, le drain du i ème transistor de chaque groupe étant connecté à la i ème sortie du deuxième registre, i étant un nombre entier tel que $1 \leq i \leq n$.

Par dispositif matriciel on peut comprendre un dispositif ne comportant qu'une ligne ou qu'une colonne de composants.

Ces circuits électroniques de commande ne comprennent que deux circuits intégrés externes, qui sont les deux registres à décalage, permettant d'alimenter, par l'intermédiaire du circuit de multiplexage, $N \times n$ lignes ou colonnes d'un dispositif matriciel et notamment d'un écran plat à matrice active. Ceci permet donc de diminuer le nombre de connexions à réaliser entre les circuits externes et l'écran plat ainsi que de diminuer le prix de revient de ces écrans plats.

Lorsque le circuit électronique de l'invention sert à commander les $N \times n$ lignes ou les $N \times n$ colonnes d'un dispositif matriciel comportant des transistors en couches minces réalisés sur un même support isolant, les transistors en

couches minces du circuit de multiplexage du circuit de commande de l'invention peuvent avantageusement être réalisés sur ledit support et simultanément aux transistors du dispositif matriciel.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, donnée à titre illustratif et nullement limitatif. Pour plus de clarté, cette description se réfère à la commande des lignes d'un écran plat à matrice active, mais bien entendu, l'invention est d'application beaucoup plus générale, comme indiqué plus haut.

La description se réfère aux figures annexées, dans lesquelles :

- la figure 1 représente schématiquement un circuit électronique, conformément à l'invention, servant à commander les lignes d'un écran plat à matrice active, et

- la figure 2 représente les différents signaux d'entrée et de sortie du circuit de commande de la figure 1.

Sur la figure 1, on a représenté un circuit électronique de commande conformément à l'invention permettant de commander $N \times n$ lignes d'un écran plat à matrice active, portant la référence générale 2. Cette matrice active 2 est formée, de façon classique, de plusieurs colonnes conductrices 4 et de $N \times n$ lignes conductrices notées L_j , j étant un nombre entier allant de 1 à $N \times n$. A chaque croisement d'une colonne 4 et d'une ligne L_j est situé un point mémoire 8 de la matrice active 2, formé d'un transistor en couches minces 10 et d'un condensateur 12, connectés en série.

Cette matrice active 2 comprend de plus $N \times n$ condensateurs 14, l'une des armatures de chaque condensateur étant reliée à la masse, l'autre à l'une des lignes conductrices L_j de la matrice 2.

Selon l'invention, le circuit de commande des $N \times n$ lignes conductrices L_j de la matrice 2 est constitué, d'une part d'un circuit de multiplexage, de référence générale 16, constitué de N groupes G_1, \dots, G_N transistors en couches minces, chaque groupe G_i comportant n transistors successifs T_1, \dots, T_n , et d'autre part d'un premier registre à décalage 18, comportant N sorties, et d'un second registre à décalage 20 comportant n sorties.

Le circuit de multiplexage 16 comporte un transistor en couches minces par ligne conductrice L_j , soit au total $N \times n$ TCM ; par exemple pour un écran plat de 320 lignes, on pourra prendre $N = 40$ et $n = 8$.

Un tel circuit de commande permet de diminuer considérablement le nombre de connexions à réaliser entre le circuit de commande et la matrice active, ces connexions étant ramenées à $N + n$ connexions au lieu de $N \times n$ connexions pour les dispositifs matriciels de l'art antérieur.

Selon l'invention, chaque ligne conductrice L_j de la matrice active 2 est alimentée par la source d'un unique transistor en couches minces ; par exemple la source du premier transistor T_1 du groupe G_1 est connectée à la ligne L_1 , la source du second transistor T_2 du groupe G_1 est connectée à la ligne L_2 et ainsi de suite et la source du dernier transistor T_n du groupe G_N à la ligne $L_{N \times n}$.

Les grilles des N transistors consécutifs T_1, \dots, T_n d'un même groupe G_i sont connectées à une même sortie P_i du premier registre à décalage 18, à chaque groupe correspondant une sortie différente P_i dudit premier registre. Autrement dit, les grilles des transistors T_1, \dots, T_n du groupe G_i ,

de transistors sont toutes reliées à la sortie P_i du premier registre 18, et les grilles des transistors T_1, \dots, T_n du groupe G_N de transistors sont toutes reliées à la sortie P_N dudit premier registre 18.

Pour les drains des $N \times n$ transistors en couches minces, ils sont alimentés de façon que le drain du i ème transistor T_i de chaque groupe G_i soit connecté à la i ème sortie S_i du second registre 20, i étant un nombre entier tel que $1 \leq i \leq n$. Autrement dit, les premiers transistors notés T_1 de chaque groupe de transistors G_1, \dots, G_N sont tous connectés à la première sortie S_1 du second registre à décalage 20, les seconds transistors T_2 des groupes de transistors G_1, \dots, G_N sont tous connectés à la sortie S_2 du second registre 20, ... et les derniers transistors T_n des groupes G_1, \dots, G_N de transistors sont tous connectés à la dernière sortie S_n du second registre 20.

Sur la figure 2, on a représenté les différents signaux d'entrée et de sortie du circuit de commande de la figure 1. Le signal $R(n)$ correspond au signal de sortie du registre à décalage 20, le signal $R(N)$ correspond au signal de sortie du registre à décalage 18 et le signal L_1 correspond au signal d'entrée de la première ligne conductrice de la matrice 2. Chaque impulsion de durée τ , délivrée par le registre 20, correspond au temps d'accès à une ligne conductrice de la matrice, τ étant voisin de 84 μs et l'impulsion τ' , délivrée par le registre 18, est égale à $n \times \tau$.

Une impulsion de tension τ , délivrée par le registre à décalage 18 qui fonctionne à la fréquence de balayage des lignes de l'écran plat, ne sera transmise à une ligne dudit écran que dans le groupe G_i rendu passant par l'impulsion τ' , fournie par le registre à décalage 18. Lorsque les transistors en couches minces sont bloqués, les lignes correspondantes de l'écran plat se maintiennent au niveau bas grâce au condensateur de ligne 14 qui reste chargé pendant toute la durée d'une image sur l'écran.

Selon l'invention, lorsque les transistors 10 de la matrice active 2 sont des transistors en couches minces réalisés sur un support isolant tel que du verre, constituant notamment l'une des deux parois de l'écran plat entre lesquelles est disposé le cristal liquide, les transistors en couches minces du circuit de multiplexage 16 pourront être avantageusement réalisés sur ledit support et simultanément à la fabrication des transistors 10 de la matrice active 2 de l'écran. En revanche, les deux registres à décalage 18 et 20 seront des circuits intégrés standards, réalisés indépendamment de la matrice active 2.

L'un des procédés utilisable pour fabriquer les transistors en couches minces du circuit de multiplexage 16 en même temps que ceux de la matrice active 2 a notamment été décrit dans une demande de brevet français n° 8215499 déposée le 14 septembre 1982 au nom du demandeur et intitulée "Procédé de fabrication de circuits électroniques à base de transistors en couches minces et de condensateurs". Comme l'indique le titre de cette demande, ce procédé permet aussi la réalisation simultanée des condensateurs tels que 12 et 14 de la matrice.

De façon simplifiée, ce procédé de fabrication consiste à déposer, sur un support isolant tel que du verre, constituant l'une des parois de l'écran plat, une couche conductrice transparente notamment en oxyde d'étain et d'indium puis une couche de silicium amorphe dopé n^+ . Ces couches sont ensuite photogravées à l'aide d'un premier masque, de façon à réaliser : les sources et les drains des transistors en couches minces du circuit de multiplexage et de la matrice, l'une des armatures des condensateurs 12 et 14, les colonnes conductrices 4 de la matrice ainsi que le bus de drains du circuit de multiplexage 16.

On dépose ensuite successivement une couche de silicium amorphe hydrogéné, une couche d'isolant notamment en oxyde de silicium et une couche conductrice par exemple en aluminium puis on réalise une photogravure de cet empilement de couches, à l'aide d'un second masque, de façon à définir la grille des transistors en couches minces du circuit de multiplexage 16 et de la matrice 2 ainsi que les lignes conductrices L_j de ladite matrice.

L'ensemble est ensuite passivé à l'aide d'un dépôt d'une couche d'oxyde de silicium par exemple, puis on réalise dans cette couche de passivation des ouvertures, (par photogravure à l'aide d'un troisième masque), aux extrémités des lignes conductrices de la matrice, sur les grilles des transistors en couches minces du circuit de multiplexage 16 et sur le bus de drains dudit circuit de multiplexage.

On réalise ensuite un dépôt métallique, par exemple en aluminium, puis on photgrave celui-ci à l'aide d'un quatrième masque, afin de réaliser les connexions entre le circuit de multiplexage 16 et la matrice active 2, entre le bus de drains et les drains des transistors en couches minces du circuit de multiplexage et entre les grilles des transistors T_1, \dots, T_n d'un même groupe G_i de transistors du circuit de multiplexage 16.

Pour de plus amples détails concernant la fabrication de tels circuits électroniques à base de transistors en couches minces et de condensateurs, on pourra se référer à la demande de brevet citée ci-dessus.

L'application du circuit électronique selon l'invention à la commande des lignes d'un écran plat à matrice active n'est bien entendu donnée qu'à titre d'exemple. En particulier, le circuit de l'invention peut avantageusement être utilisé pour commander les lignes d'un rétine vidéo photosensible à transistors en couches minces ; un tel rétine a notamment été décrit dans la demande de brevet français n° 82 04003 déposée le 10 mars 1982 au nom du demandeur et intitulée "Elément photoconducteur en carbure de silicium amorphe hydrogéné et cellule de rétine vidéo utilisant un tel élément". Par ailleurs, le circuit de l'invention

peut être utilisé pour commander une barrette de photodiodes employée en télécopie, ces photodiodes et les transistors en couches minces du circuit de multiplexage étant réalisés simultanément sur un même support.

De façon générale, le circuit de l'invention peut être utilisé pour commander toute ligne de composants électroniques du type transistors ou diodes intégrés.

Revendications

1. Circuit électronique de commande à $N \times n$ sorties servant à commander $N \times n$ lignes (L_j) ou colonnes (4) d'un dispositif matriciel, et notamment celles d'un dispositif d'affichage matriciel (2), caractérisé en ce qu'il comprend un circuit de multiplexage (16), formé de N groupes (G_1, \dots, G_N) de n transistors (T_1, \dots, T_n) successifs en couches minces, un premier registre à décalage (18) à N sorties (P_1, \dots, P_N) et un second registre à décalage (20) à n sorties (S_1, \dots, S_n), les grilles des n transistors (T_1, \dots, T_n) d'un même groupe (G_i) étant connectées à une même sortie (P_i) du premier registre, à chaque groupe (G_i) correspondant une sortie différente (P_i) dudit premier registre (18), la source de chaque transistor étant connectée à une ligne (L_j) ou à une colonne (4) différente, le drain du i ème transistor (T_i) de chaque groupe (G_i) étant connecté à la i ème sortie du deuxième registre (20), i étant un nombre entier tel que $1 \leq i \leq n$.

2. Circuit électronique selon la revendication 1, servant à commander les $N \times n$ lignes ou colonnes d'un dispositif matriciel (2) comportant des transistors en couches minces (18) réalisés sur un même support isolant, caractérisé en ce que les transistors en couches minces (T_1, \dots, T_n) du circuit de multiplexage (16) sont réalisés simultanément auxdits transistors (10) du dispositif matriciel sur ledit support.

FIG.1

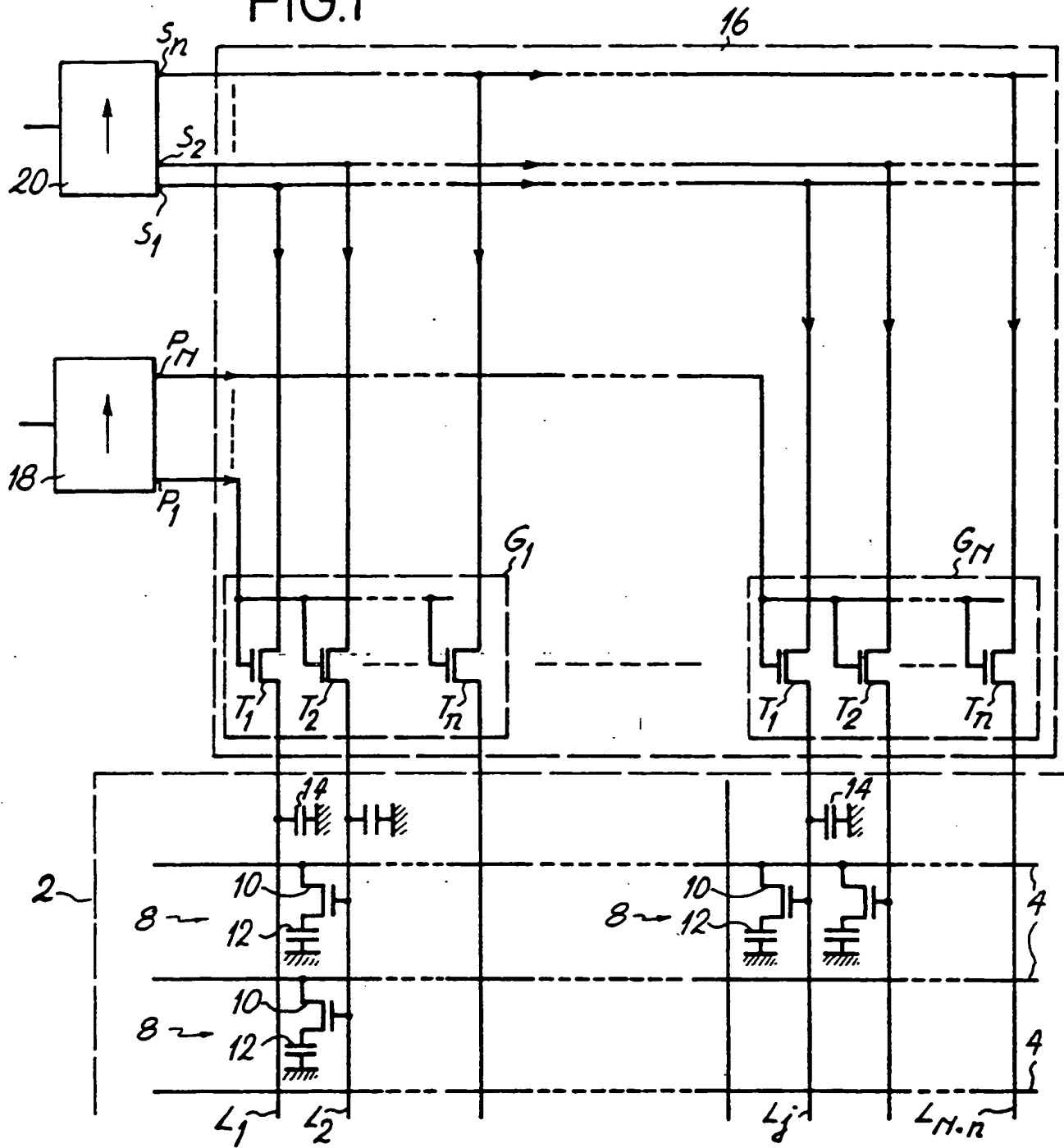
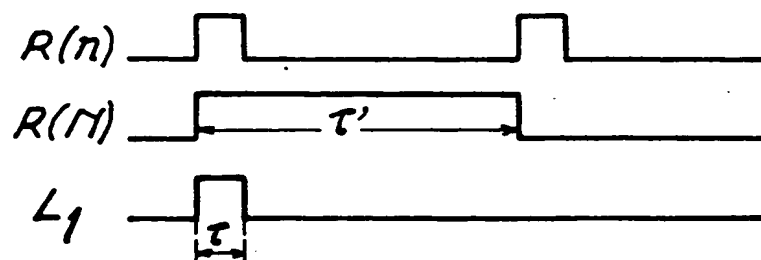


FIG.2





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 85 40 2238

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. 4)
A	FR-A-2 260 919 (NIPPON ELECTRIC CO.) * Figure 1; page 3, ligne 10 - page 4, ligne 26 *	1	G 09 G 3/20
A	1982 SID INTERNATIONAL SYMPOSIUM, DIGEST OF TECHNICAL PAPERS, première édition, mai 1982, pages 266-267, Lewis Winner, Coral Gables, US; K.-I. OKI et al.: "MOS-EL integrated display device" * En entier *	1,2	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 4)
			G 09 G 3/20
			G 09 G 3/30
			G 09 G 3/34
			G 09 G 3/36
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 10-03-1986	Examineur VAN ROOST L.L.A.
CATEGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	